

Convocatoria Docencia + Aprendizaje 2024 (A+D)

PIME BIENAL. Informe de seguimiento de la actividad desarrollada en el Proyecto de Innovación y Mejora Educativa durante su primer año (curso 2024-25)

Fecha de entrega: 24 de julio de 2025

1. Datos identificativos del PIME

1.1. Título del PIME

Desarrollo e implementación de un demostrador de redes neuronales confiables en sistemas empotrados

1.2. Persona responsable (y corresponsable si lo hubiera)

Joaquín Gracia Morán

2. Objetivos del PIME

¿Los objetivos marcados se están cumpliendo?

Cítense y presente EVIDENCIAS de su cumplimiento (Imprescindible presentar evidencias para poder verificar la actividad realizada.)

Si alguno **no se está cumpliendo**, o ha cambiado, **justifíquese el motivo**.

Los objetivos originales del proyecto, según la memoria presentada eran:

- Objetivo general: construcción de una plataforma basada en sistemas empotrados que permita probar diferentes mecanismos de tolerancia a fallos sobre redes neuronales.
- Objetivos específicos:
 - Estudiar los errores que se pueden producir en las redes neuronales, y sus efectos en el funcionamiento de estas.
 - Identificar mecanismos de tolerancia a fallos para redes neuronales.
 - Implementar redes neuronales en sistemas empotrados.
 - Desarrollar una biblioteca de mecanismos de tolerancia a fallos para redes neuronales implementadas en sistemas empotrados.

Sin embargo, y tras el curso titulado “Evaluar los resultados de los proyectos de innovación: diseño metodológico y técnicas de recogida de datos”, hemos tenido que reformular los objetivos iniciales. En la actualidad, los objetivos en los que estamos trabajando son los siguientes:

- Objetivo general: mejorar el proceso de aprendizaje de aspectos prácticos y de implementación de diferentes mecanismos de tolerancia a fallos a través del uso una plataforma basada en microcontroladores que permita ejecutar redes neuronales y mecanismos de tolerancia a fallos.
- Objetivos específicos:
 - Evaluar el impacto del uso de la plataforma en el proceso de aprendizaje del alumnado.
 - Mejorar el proceso de aprendizaje de aspectos prácticos y de implementación de diferentes mecanismos de tolerancia a fallos, así como de la evaluación de la confiabilidad.
 - Mejorar el proceso de aprendizaje en el uso de microcontroladores a la hora de ejecutar redes neuronales, la aplicación básica de la Inteligencia Artificial.

Este cambio se debe a que en la petición original, los objetivos se plantearon sobre posibilidades de la plataforma a implementar, no sobre la mejora del aprendizaje a través del uso de esta plataforma. En el planteamiento inicial, la construcción de la plataforma se diseña como un fin, mientras que después del curso comentado, la plataforma a implementar es un medio para conseguir esa mejora de aprendizaje.

En cuanto al desarrollo de los nuevos objetivos del PIME, en este primer año se han realizado los estudios de las tareas 1 y 2 (tal y como se detallan en el punto 3). Será a partir del próximo curso, durante el segundo año de desarrollo del PIME, cuando podremos evaluar el impacto de los cambios realizados, así como empezar a construir la plataforma basada en microcontroladores que permita ejecutar redes neuronales y mecanismos de tolerancia a fallos.

3. Desarrollo del PIME

¿En qué punto del **cronograma** se encuentra el proyecto?

3.1. Describa brevemente las TAREAS FINALIZADAS (estarán vinculadas con los objetivos propuestos en el PIME)

La Figura 1 muestra el cronograma presentado en la petición del proyecto.

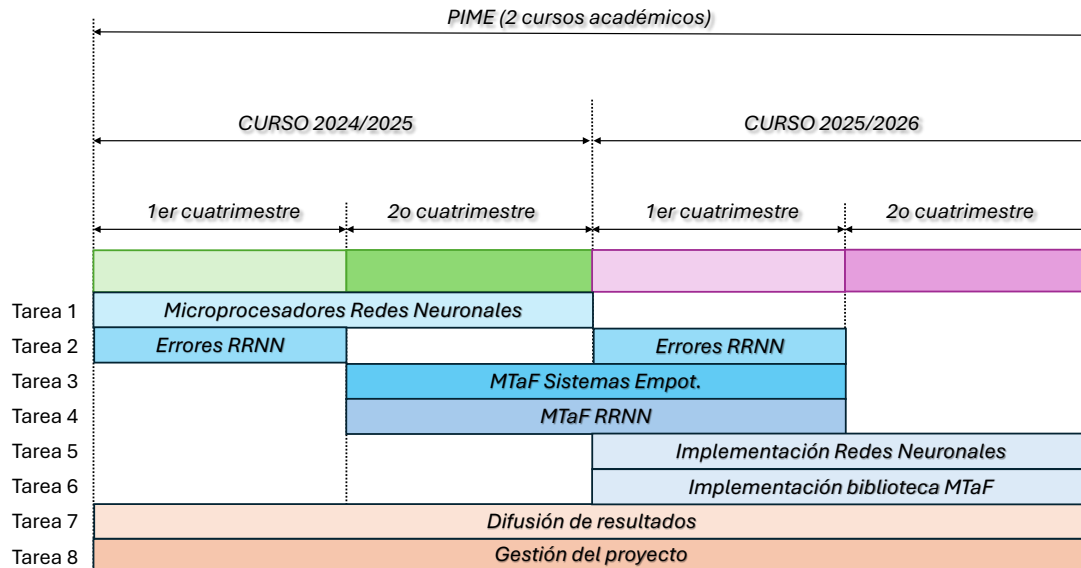


Figura 1. Cronograma original

La lista de tareas propuestas en este primer año es la siguiente:

Tarea 1. Microprocesadores Redes Neuronales

Trabajo propuesto en la memoria:

La idea de esta tarea es examinar aquellos microprocesadores que permitan construir un sistema empotrado que pueda ejecutar redes neuronales. Esta tarea se realizará en dos partes:

1. Por un lado, los profesores determinarán qué microcontroladores, redes neuronales, sensores, etc. son los más adecuados para la consecución de los objetivos de esta tarea.
2. Por otro lado, a partir del estudio anterior, se realizará la selección adecuada (de microcontroladores, redes neuronales, sensores, etc.) con los que los alumnos puedan empezar a diseñar un sistema empotrado que ejecute una red neuronal.

Resultado: Informe con el estudio de microprocesadores capaces de ejecutar redes neuronales.

Trabajo realizado:

Este trabajo se ha realizado en la asignatura *Automatización distribuida*. Por un lado, se han estudiado diversos microcontroladores que pueden ejecutar redes neuronales. Y por otro lado, se va a cambiar el temario para el próximo curso. Los cambios previstos son fundamentalmente dos:

1. Comienzo de las sesiones por el nodo de control, para pasar a las comunicaciones y finalizar por la arquitectura. Este cambio se debe a que los estudiantes, provenientes en su mayoría de grados (Ingeniería Mecánica, Ingeniería Eléctrica, e Ingeniería Electrónica) no están habituados a programar.

2. Incluir la inteligencia artificial, a nivel de nodo de control. De esta forma, los estudiantes tendrán actualizados sus conocimientos y habilidades con la tendencia más actual.

La justificación de estos cambios se plasma en la siguiente secuencia:

1. Control inteligente basándose en el concepto de nodo de control. Se empieza por la unidad fundamental, el nodo de control, y su capacidad de "inteligencia".
2. Control distribuido: Se introduce el concepto global de sistemas distribuidos comenzando por los conceptos de comunicación.
3. Arquitectura y Gestión: Se finaliza con cómo se diseñan, estructuran y gestionan los sistemas completos.

De esta forma, se va a cambiar el temario de la primera parte de la asignatura, con el fin de incluir la ejecución de redes neuronales (es decir, la ejecución de inteligencia artificial) en microcontroladores. Este temario quedaría tal y como se muestra en la Tabla I.

Tabla I. Cambios en el bloque I de la asignatura *Automatización distribuida*

<ol style="list-style-type: none"> 1. Introducción a los sistemas distribuidos <ol style="list-style-type: none"> a. Comunicaciones en la automatización distribuida b. Características de los sistemas distribuidos c. Gestión de redes d. Elementos de interconexión 2. Medios de comunicación <ol style="list-style-type: none"> a. Nivel 1. Físico b. Nivel 2. Enlace de datos c. Aplicación: Buses de campo d. Nivel 7. Aplicación e. Aplicación: MODBUS 3. Aplicaciones distribuidas en los sistemas mecatrónicos <ol style="list-style-type: none"> a. Sistemas reactivos b. Diseño del nodo de control 4. Diseño del sistema distribuido <ol style="list-style-type: none"> a. Arquitecturas distribuidas b. Diseño de las arquitecturas 	<ol style="list-style-type: none"> 1. Automatización basada en el control inteligente <ol style="list-style-type: none"> a. Control reactivo b. Nodo de control c. Control inteligente 2. Control distribuido <ol style="list-style-type: none"> a. Conceptos de comunicación b. Conceptos de redes c. buses de interconexión <ol style="list-style-type: none"> i. Nivel 1. Físico ii. Nivel 2. Enlace de datos iii. Aplicación: Buses de campo iv. Buses de planta v. Nivel 7. Aplicación vi. Aplicación: MODBUS 3. Diseño del sistema distribuido <ol style="list-style-type: none"> a. Arquitecturas distribuidas b. Diseño de la arquitectura
<p>a) Distribución "Bloque I. Sistemas Distribuidos" curso 2024-25</p>	<p>b) Distribución "Bloque I. Sistemas Distribuidos" curso 2025-26</p>

Trabajo que falta por realizar:

Falta completar el informe con el estudio de aquellos microprocesadores capaces de ejecutar redes neuronales. Se espera que esté disponible antes de iniciar el próximo curso.

Tarea 2. Errores en Redes Neuronales

Trabajo propuesto en la memoria:

El objetivo de esta tarea es identificar los tipos de errores más comunes que se producen en las redes neuronales, y comprobar cuáles son sus efectos en el funcionamiento de estas.

En el primer año del proyecto, los profesores realizarán este estudio, cuyo informe final será utilizado durante el segundo año para conectar el temario de la asignatura *Sistemas Informáticos Confiables* con un tema de gran actualidad, y que tanto el mundo científico como el mundo industrial está estudiando en detalle.

Resultado: Informe identificando aquellos errores comunes en las redes neuronales y sus efectos en estas.

Trabajo realizado:

Este trabajo se ha realizado en la asignatura *Sistemas Informáticos Confiables*, donde hasta el curso 2024-25, se han estado explicando errores genéricos en el hardware y sus efectos. Para el curso que viene, se va a añadir, en primer lugar, un punto específico sobre cómo afectan a las redes neuronales los errores en el hardware, y en segundo lugar, un tema específico sobre tolerancia a fallos en redes neuronales. En la Tabla II (remarcados en negrita) se muestran los cambios en el temario y cómo quedaría este para el curso 2025-26.

Tabla II. Cambios en temario de la asignatura *Sistemas Informáticos Confiables*

<p>Bloque 1. Introducción</p> <ul style="list-style-type: none"> ▪ Tema 0. Motivación y presentación de la asignatura ▪ Tema 1. Conceptos básicos de confiabilidad <p>Bloque 2. Confiabilidad en el hardware</p> <ul style="list-style-type: none"> ▪ Tema 2. Amenazas a la confiabilidad en el hardware ▪ Tema 3. Medios para la confiabilidad en el hardware ▪ Tema 4. Modelado de sistemas tolerantes a fallos ▪ Tema 5. Evaluación experimental de sistemas tolerantes a fallos <p>Bloque 3. Redundancia en la información</p> <ul style="list-style-type: none"> ▪ Tema 6. Códigos detectores y correctores de errores <p>Bloque 4. Confiabilidad en el software</p> <ul style="list-style-type: none"> ▪ Tema 7. Amenazas y medios para la confiabilidad en el software ▪ Tema 8. Confiabilidad en sistemas distribuidos <p>Bloque 5. Estándares</p> <ul style="list-style-type: none"> ▪ Tema 9. IEC 61508: Functional Safety of Electric/Electronic/Programmable Electronic Safety-related Systems 	<p>Bloque 1. Introducción</p> <ul style="list-style-type: none"> ▪ Tema 0. Motivación y presentación de la asignatura ▪ Tema 1. Conceptos básicos de confiabilidad <p>Bloque 2. Confiabilidad en el hardware</p> <ul style="list-style-type: none"> ▪ Tema 2. Amenazas y medios para la confiabilidad en el hardware ▪ Tema 3. Modelado de sistemas tolerantes a fallos ▪ Tema 4. Evaluación experimental de sistemas tolerantes a fallos <p>Bloque 3. Redundancia en la información</p> <ul style="list-style-type: none"> ▪ Tema 5. Códigos detectores y correctores de errores <p>Bloque 4. Confiabilidad en el software</p> <ul style="list-style-type: none"> ▪ Tema 6. Amenazas y medios para la confiabilidad en el software ▪ Tema 7. Confiabilidad en sistemas distribuidos <p>Bloque 5. Estándares</p> <ul style="list-style-type: none"> ▪ Tema 8. IEC 61508: Functional Safety of Electric/Electronic/Programmable Electronic Safety-related Systems <p>Bloque 6. Nuevas tendencias</p> <ul style="list-style-type: none"> ▪ Tema 9. Confiabilidad en soluciones informáticas avanzadas
a) Temario curso 2024-25	b) Temario curso 2025-26

Trabajo que falta por realizar:

Falta completar el informe con el estudio de los efectos de los fallos hardware en las redes neuronales. Se espera que esté disponible antes de iniciar el próximo curso.

Tarea 3. MTaF en Sistemas Empotrados**Trabajo propuesto en la memoria:**

En esta tarea se van a estudiar los mecanismos de tolerancia a fallos más comunes utilizados en sistemas empotrados. Este estudio permitirá seleccionar el mecanismo más adecuado para que pueda ser implementado por los alumnos de la asignatura *Sistemas Informáticos Confiables* en el segundo año del proyecto.

Resultados: Informe con el análisis de mecanismos de tolerancia a fallos implementables en sistemas empotrados.

Trabajo realizado:

Este trabajo se ha empezado a realizar en la asignatura *Sistemas Informáticos Confiables*. Se ha comenzado a estudiar los mecanismos de tolerancia a fallos que pueden ejecutarse en sistemas empotrados, obteniendo ya algunos resultados interesantes, que han dado lugar a varias publicaciones.

Trabajo que falta por realizar:

La tarea está prevista que termine a finales del primer cuatrimestre del curso 2024/25. Será en ese momento cuando se escriba el informe con el análisis de mecanismos de tolerancia a fallos implementables en sistemas empotrados.

Tarea 4. MTaF en Redes Neuronales**Trabajo propuesto en la memoria:**

En esta última tarea previa a las tareas de implementación, se estudiarán los mecanismos de tolerancia a fallos más comunes utilizados para aumentar la confiabilidad en redes neuronales. Al igual que en las tareas 2 y 3, el informe generado en el primer año del proyecto por los profesores será utilizado en el segundo año por los alumnos.

Resultados: Informe con el análisis de mecanismos de tolerancia a fallos que se aplican a redes neuronales.

Trabajo realizado:

Este trabajo se ha realizado en la asignatura *Sistemas Informáticos Confiables*. Se ha comenzado a estudiar los mecanismos de tolerancia a fallos más comunes utilizados para aumentar la confiabilidad en redes neuronales, obteniendo ya algunos resultados interesantes, que han dado lugar a varias publicaciones.

Trabajo que falta por realizar:

La tarea está prevista que termine a finales del primer cuatrimestre del curso 2024/25. Será en ese momento cuando se escriba el informe con el análisis de mecanismos de tolerancia a fallos adecuados para redes neuronales.

Tarea 7. Difusión de resultados

Trabajo propuesto en la memoria:

Presentar el trabajo desarrollado en el proyecto a la comunidad científica y docente. Todos los resultados estarán disponibles públicamente en el blog del proyecto, alojado mediante el servicio de blogs de la UPV. Los resultados también se publicarán en congresos y revistas de los dominios relacionados

Resultados: Creación del blog del proyecto. Publicaciones en congresos y/o revistas.

Trabajo realizado:

- Creación del blog del proyecto. La información del proyecto se ha integrado dentro del blog del grupo de sistemas tolerantes a fallos del Instituto Itaca de la UPV (<https://gstf.blogs.upv.es/>). En este sentido, dentro de este blog, se ha creado una página web específica del proyecto (<https://gstf.blogs.upv.es/pime/>), y además, se publican noticias del proyecto dentro de la página principal del blog.
- Publicaciones. Durante el primer año del proyecto, se han realizado las siguientes publicaciones:
 - Juan Carlos Ruiz, David de Andrés, Luis José Saiz-Adalid, Joaquín Gracia-Morán, "Towards SW-based Robustness Assessment of HW Accelerators for Quantized CNNs", 2025 20th European Dependable Computing Conference Companion Proceedings (EDCC-C), pp. 22-25, ISBN: 979-8-3315-3741-8, Lisboa, Portugal, Abril 2025.
 - Joaquín Gracia-Morán, David de Andrés, Luis-J. Saiz-Adalid, Juan Carlos Ruiz, J.-Carlos Baraza-Calvo, Daniel Gil-Tomás, Pedro J. Gil-Vicente, "Initial insights into synthesis overheads caused by C-based Error Correction Codes implementations", 2025 20th European Dependable Computing Conference Companion Proceedings (EDCC-C), pp. 26-29, ISBN: 979-8-3315-3741-8, Lisboa, Portugal, Abril 2025.
 - Luis-J. Saiz Adalid, Juan-Carlos Ruiz-García, Joaquín Gracia-Morán, David de Andrés, J.-Carlos Baraza-Calvo, Daniel Gil-Tomás, Pedro Gil-Vicente, "Towards a Novel 8-bit Floating-point Format to Increase Robustness in Convolutional Neural Networks", 2025 20th European Dependable Computing Conference Companion Proceedings (EDCC-C), pp. 34-37, ISBN: 979-8-3315-3741-8, Lisboa, Portugal, Abril 2025.
 - Juan Carlos Ruiz, David de Andrés, Juan Carlos Baraza, Luis José Saiz-Adalid y Joaquín Gracia-Morán, "Hacia la evaluación en software de la robustez de aceleradores hardware para CNN cuantizadas", Actas de las Jornadas SARTECO 2025, pp. 925-933, ISBN: 978-84-09-74530-2, Sevilla, España, Junio 2025.
 - Joaquín Gracia-Morán, David de Andrés, Luis-J. Saiz-Adalid, Juan Carlos Ruiz, J.-Carlos Baraza-Calvo, Daniel Gil-Tomás, Pedro J. Gil-Vicente, "Implementación en Arduino de una

red neuronal cuantizada tolerante a fallos", Actas de las Jornadas SARTECO 2025, pp. 1041-1049, ISBN: 978-84-09-74530-2, Sevilla, España, Junio 2025.

- Joaquín Gracia-Morán, David De Andrés, Luis José Saiz-Adalid, Juan Carlos Ruiz García, Juan C. Baraza, Daniel Gil, Pedro Gil Vicente, "Análisis de la confiabilidad de una red neuronal implementada en Arduino con formato BF16", Actas de las Jornadas SARTECO 2025, pp. 1051-1060, ISBN: 978-84-09-74530-2, Sevilla, España, Junio 2025.
- J. Gracia-Morán, J.-C. Ruiz, D. de Andrés, L.-J. Saiz-Adalid, J.C. Baraza-Calvo, D. Gil-Tomás, P.J. Gil-Vicente, "Dependability Analysis of Neural Networks Implemented in Arduino", Proceedings of the Workshop on Innovation on Information and Communication Technologies (ITACA-WIICT 2025), Aceptado, Valencia, España, Julio 2025.
- Joaquín Gracia Morán, Juan-Carlos Ruiz, David de Andrés, and Luis-J. Saiz-Adalid, "Can C-Based ECC Models Leverage High-Level Synthesis? Evaluating Description Variants for Efficient Circuit Implementations", 44 International Conference on Computer Safety, Reliability and Security (SAFECOMP 2025), Aceptado, Estocolmo, Suecia, Septiembre 2025

Tarea 8. Gestión del proyecto

Trabajo propuesto en la memoria:

Coordinar el proyecto eficientemente para alcanzar los objetivos propuestos. En esta tarea, se supervisará que las diferentes tareas y actividades del proyecto se desarrollen acorde a la planificación, gestionando también los recursos económicos, humanos y materiales disponibles.

Resultados: Llevar a cabo el proyecto en su totalidad, cumpliendo con las tareas planificadas en tiempo y forma.

Trabajo realizado:

Se ha coordinado el proyecto de la forma adecuada para su correcto funcionamiento durante este primer año.

3.2. Describa brevemente las TAREAS PREVISTAS PARA EL 2º AÑO del PIME

Tarea 3. MTaF en Sistemas Empotrados

Trabajo por realizar:

En esta tarea se va a continuar con el estudio de los mecanismos de tolerancia a fallos más comunes utilizados en sistemas empotrados. Este estudio permitirá seleccionar el mecanismo más adecuado para que pueda ser implementado por los alumnos de la asignatura *Sistemas Informáticos Confiables*.

Como se ha comentado en el punto anterior, esta tarea está prevista que termine a finales del primer cuatrimestre del curso 2024/25. Será en ese momento cuando se escriba el informe final.

Tarea 4. MTaF en Redes Neuronales

Trabajo por realizar:

En esta última tarea previa a las tareas de implementación, se va a seguir estudiando los mecanismos de tolerancia a fallos más comunes utilizados para aumentar la confiabilidad en redes neuronales. Tal y como se ha comentado anteriormente, la tarea está prevista que termine a finales del primer cuatrimestre del curso 2024/25. Será en ese momento cuando se escriba el informe con el análisis de mecanismos de tolerancia a fallos adecuados para redes neuronales.

Tarea 5. Implementación Redes Neuronales

Trabajo por realizar:

El resultado de esta tarea será la implementación de una red neuronal en uno de los microprocesadores seleccionados anteriormente.

Este microprocesador será uno de los componentes de la plataforma final que queremos construir y con la que los alumnos podrán estudiar, con un demostrador físico, el funcionamiento de diferentes mecanismos de tolerancia a fallos aplicados a redes neuronales.

Tarea 6. Generación biblioteca MTaF

Trabajo por realizar:

La idea de esta tarea es la generación de un conjunto de mecanismos de tolerancia a fallos que se puedan aplicar a redes neuronales implementadas en sistemas empotrados. El sistema empotrado a utilizar será el generado en la Tarea 5, tal y como se acaba de describir.

Tarea 7. Difusión de resultados

Trabajo por realizar:

Por un lado, seguiremos realizando publicaciones en este tema. Y por otro lado, seguiremos publicando noticias en el blog del proyecto.

Tarea 8. Gestión del proyecto

Trabajo por realizar:

Se seguirá con la coordinación del proyecto para llevar a cabo todas las tareas que faltan.

4. Puntos fuertes y aspectos de mejora

Resume los PUNTOS FUERTES y los ASPECTOS A MEJORAR en la ejecución del proyecto

Puntos fuertes:

- Publicaciones. El tema de la confiabilidad de redes neuronales, y la implementación de redes neuronales confiables en sistemas empotrados está en auge, como se ha podido ver en la gran cantidad de publicaciones realizadas.
- Se ha creado un ChatGPT del proyecto, que se pretende utilizar a partir del curso que viene.
- Esta temática se ha podido exportar a otras universidades. En concreto, dentro del *Máster en Ingeniería de Sistemas Empotrados*¹, impartido en de la UPV/EHU, en la asignatura *Fiabilidad en sistemas empotrados*², el profesor Joaquín Gracia Morán imparte un tema explicando conceptos básicos de confiabilidad de redes neuronales implementadas en sistemas empotrados.

Aspectos por mejorar:

- Un aspecto que nos gustaría mejorar sería el aumento de las direcciones de Trabajos Final de Máster relacionados con la temática del proyecto.

¹ <https://www.ehu.es/es/web/master/master-ingenieria-sistemas-empotrados>

² <https://www.ehu.es/es/web/master/master-ingenieria-sistemas-empotrados/materia?redirect=consultaAsignatura&anyo-oferta-docente=20250&anyo-propuesta=20130¢ro=226&materia=6397&asignatura=504074&tipo-asignatura=1&master=599>